


**FIELD-EFFECT TRANSISTOR AND SEMICONDUCTOR DEVICE EQUIPPED WITH THE SAME AND MANUFACTURE OF THE SAME**

Patent number: JP2000277724  
Publication date: 2000-10-06  
Inventor: EGAWA TAKASHI; ISHIKAWA HIROYASU; UMEMO MASAYOSHI;  
AKUTSU NAKAO; MATSUMOTO ISAO  
Applicant: NAGOYA KOGYO UNIV.; NIPPON SANSO CORP  
Classification:  
- International: H01L29/778; H01L21/338; H01L29/812; H01L21/3065; H01L27/095  
- european:  
Application number: JP19990084933 19990326  
Priority number(s):

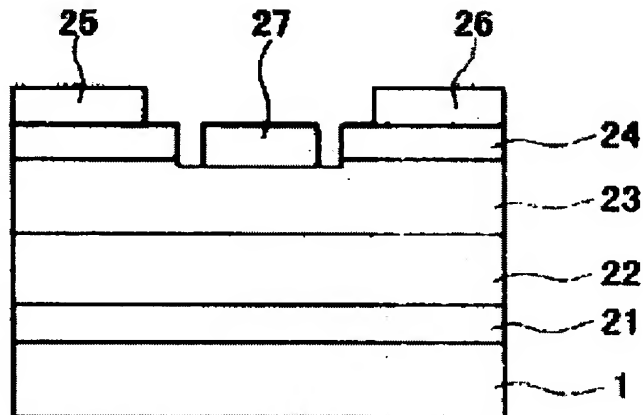
Also published as:

 JP2000277724 (A)

**Abstract of JP2000277724**

**PROBLEM TO BE SOLVED:** To realize a field-effect transistor, in which parasitic resistances between the source electrode and the gate electrode and between the drain electrode and the gate electrode, and a contact resistance between the source electrode and the drain electrode can be reduced, and a normally-on type and a normally-off type whose threshold voltages are different can be formed on the same substrate, and a semiconductor device equipped with the field-effect transistor, and a method for manufacturing the device.

**SOLUTION:** A channel layer 23 constituted of a gallium nitride system compound semiconductor is formed on a substrate 1, and a source electrode 25, a drain electrode 26, and a gate electrode 27 are formed on the channel layer 23 so that a field effect transistor is constituted. In this case, a contact layer 24, constituted of a gallium nitride system compound semiconductor whose impurity concentration is higher than that of the channel layer 23 is formed continuously on the channel layer 23.



Data supplied from the *esp@cenet* database - Worldwide

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-277724  
(P2000-277724A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 29/778		H 0 1 L 29/80	H 5 F 0 0 4
21/338		21/302	F 5 F 1 0 2
29/812		29/80	E
21/3065			
27/095			

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願平11-84933

(22) 出願日 平成11年3月26日 (1999.3.26)

(71) 出願人 591017478

名古屋工業大学長

愛知県名古屋市昭和区御器所町 (番地なし)

(71) 出願人 000231235

日本酸素株式会社

東京都港区西新橋1丁目16番7号

(72) 発明者 江川 孝志

愛知県名古屋市昭和区御器所町 名古屋工業大学内

(74) 代理人 100064908

弁理士 志賀 正武 (外8名)

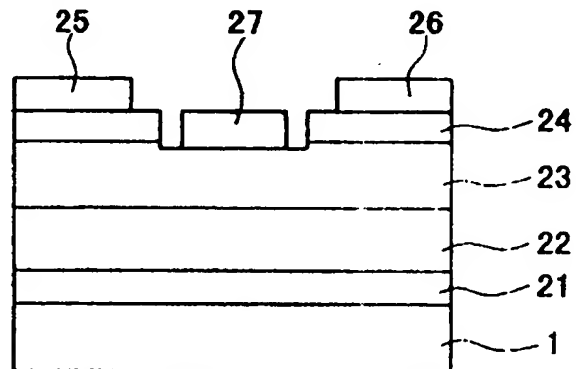
最終頁に続く

(54) 【発明の名称】 電界効果トランジスタとそれを備えた半導体装置及びその製造方法

(57) 【要約】

【課題】 ソース電極-ゲート電極間及びドレイン電極-ゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗を低減することができ、しきい値電圧の異なるノーマリオン型とノーマリオフ型を同一基板上に形成することができる電界効果トランジスタとそれを備えた半導体装置及びその製造方法を提供する。

【解決手段】 基板1上に窒化ガリウム系の化合物半導体からなるチャンネル層23を備え、チャンネル層23上にソース電極25、ドレイン電極26及びゲート電極27を備えてなる電界効果トランジスタにおいて、チャンネル層23上に、チャンネル層23より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層24を連続して形成してなることを特徴とする。



## 【特許請求の範囲】

【請求項1】 基板上に窒化ガリウム系の化合物半導体からなるチャンネル層を備え、該チャンネル層上にソース電極、ドレイン電極及びゲート電極を備えてなる電界効果トランジスタにおいて、

前記チャンネル層上に、該チャンネル層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成してなることを特徴とする電界効果トランジスタ。

【請求項2】 前記コンタクト層が選択除去されて前記チャンネル層のゲート領域が露出され、このゲート領域にゲート電極が形成されていることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】 前記チャンネル層の膜厚を制御することにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとしたことを特徴とする請求項2記載の電界効果トランジスタ。

【請求項4】 基板上に窒化ガリウム系の化合物半導体からなるアンドープ層及び電子供給層を備え、前記アンドープ層内に二次元電子ガス層を形成するとともに、前記電子供給層上にソース電極、ドレイン電極及びゲート電極を備えてなる電界効果トランジスタにおいて、前記電子供給層上に、該電子供給層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成してなることを特徴とする電界効果トランジスタ。

【請求項5】 前記コンタクト層が選択除去されて前記電子供給層のゲート領域が露出され、このゲート領域にゲート電極が形成されていることを特徴とする請求項4記載の電界効果トランジスタ。

【請求項6】 前記電子供給層の膜厚を制御することにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとしたことを特徴とする請求項5記載の電界効果トランジスタ。

【請求項7】 基板上に窒化ガリウム系の化合物半導体からなる電子供給層及びアンドープ層を備え、内部に二次元電子ガス層を形成した該アンドープ層上にソース電極、ドレイン電極及びゲート電極を備えてなる電界効果トランジスタにおいて、前記アンドープ層上に、該アンドープ層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成してなることを特徴とする電界効果トランジスタ。

【請求項8】 前記コンタクト層が選択除去されて前記アンドープ層のゲート領域が露出され、このゲート領域にゲート電極が形成されていることを特徴とする請求項7記載の電界効果トランジスタ。

【請求項9】 前記アンドープ層の膜厚を制御すること

により、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとしたことを特徴とする請求項8記載の電界効果トランジスタ。

【請求項10】 基板上に、請求項1ないし9のいずれか1項記載の電界効果トランジスタを複数個備え、各電界効果トランジスタは、前記コンタクト層の下に連続して形成されたチャンネル層、電子供給層またはアンドープ層の膜厚が制御されることにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとしてされていることを特徴とする半導体装置。

【請求項11】 基板上に、窒化ガリウム系の化合物半導体のチャンネル層、電子供給層、アンドープ層のいずれか1種からなる半導体層を備え、該半導体層上にソース電極、ドレイン電極及びゲート電極を備えてなる電界効果トランジスタの製造方法において、前記半導体層の上に、該半導体層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して成長させることを特徴とする電界効果トランジスタの製造方法。

【請求項12】 前記コンタクト層のゲート領域を選択除去して前記半導体層のゲート領域を露出させ、次いで、該ゲート領域を膜厚方向に部分的に除去して所望の膜厚とし、このゲート領域にゲート電極を形成することにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとすることを特徴とする請求項11記載の電界効果トランジスタの製造方法。

【請求項13】 前記半導体層のゲート領域を膜厚方向に部分的に除去し、その後前記コンタクト層上に形成されたソース電極とドレイン電極との間の電流－電圧特性を測定する、という操作を繰り返し、前記半導体層の膜厚を所望の膜厚に制御することを特徴とする請求項12記載の電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタとそれを用いた半導体装置及びその製造方法に関し、特に、窒化ガリウム系化合物半導体を用いることにより高速・高温で動作可能な電界効果トランジスタとそれを備えた半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】近年、GaN（窒化ガリウム）系化合物半導体を用いたMESFET（Metal Semiconductor Field Effect Transistor）や高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）等の電界効果トランジスタ（以下、FETと称する）の開発が盛んに行われている。このFETは、Siに比べて

電子移動度及び飽和速度が大きいために高速動作が可能、高温でも安定した動作が可能等の優れた特徴がある。

【0003】図13は、従来のGa<sub>0.85</sub>N系化合物半導体を用いたMESFETを示す断面図であり、M. Asif Khan等により提案されたものである(参考文献1; M. Asif Khan, J.N. Kuznia, A.R. Bhattarai and D. T. Olson: Appl. Phys. Lett. Vol. 62, No. 15, 12 April, 1786(1993))。このMESFETは、サファイア基板1上に、AlNバッファ層2、膜厚が0.6 μmで不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ のn-GaNチャネル層3が順次積層され、n-GaNチャネル層3上に、オーム性電極Ti/Auからなるソース電極4及びドレイン電極5、及びショットキー性電極Agからなるゲート電極6が形成されている。

【0004】次に、このMESFETの製造方法について説明する。低圧有機金属気相成長法(low-pressure MOCVD)を用いて、サファイア基板1上にAlNバッファ層2、n-GaNチャネル層3を順次成長した後、標準的なフォトリソグラフィ技術及びイオンインプランテーションを用いて素子間分離を行う。次いで、真空蒸着法により、n-GaNチャネル層3上のソース領域及びドレイン領域にオーム性電極Ti/Auを形成し、その後、250℃で30秒アニールを行い、ソース電極4及びドレイン電極5とする。次いで、真空蒸着法により、n-GaNチャネル層3上のゲート領域にショットキー性電極Agを形成し、ゲート電極6とする。

【0005】図14は、従来のGa<sub>0.85</sub>N系化合物半導体を用いた絶縁ゲート型HFEET(Heterostructure Field Effect Transistor)を示す断面図であり、H. Kawai等により提案されたものである(参考文献2; H. Kawai, M. Hara, F. Nakamura and S. Imanaga: Electron. Lett. Vol. 34, No. 6, 19th March, 592(1998))。このHFEETは、サファイア基板1の(0001)面上に、膜厚が30 nmのGa<sub>0.15</sub>Nバッファ層11、膜厚が2.5 μmのアンダーブレイク層12、膜厚が15 nmのSiドープn<sup>+</sup>-Ga<sub>0.85</sub>Nチャネル層13が順次積層され、n<sup>+</sup>-Ga<sub>0.85</sub>Nチャネル層13上のゲート領域に膜厚が4 nmのアンダーブレイク層14が形成されるとともに、ソース領域及びドレイン領域に膜厚が150 nmのSiドープn<sup>+</sup>-Ga<sub>0.85</sub>Nコンタクト層15が形成され、このn<sup>+</sup>-Ga<sub>0.85</sub>Nコンタクト層15上にオーム性電極Ti/Al/Auからなるソース電極16及びドレイン電極17が形成され、アンダーブレイク層14上にショットキー性電極Al/Pt/Auからなるゲート電極18が形成されている。

【0006】次に、このHFEETの製造方法について説明する。低圧有機金属気相成長法(low-pressure MOCVD)を用いて、サファイア基板1の(0001)面上に、Ga<sub>0.15</sub>Nバッファ層11、アンダーブレイク層12、n<sup>+</sup>-Ga<sub>0.85</sub>Nチャネル層13、アンダーブレイク層14を順次成長する。その後、MOCVD装置から取り出してゲート領域をSiO<sub>2</sub>膜でマスクし、ウェットエッチングによりアンダーブレイク層14を部分的に除去し、さらにMOCVD装置を用いてこの上に膜厚150 nmのn<sup>+</sup>-Ga<sub>0.85</sub>Nコンタクト層15を選択的に再成長させる。

【0007】その後、反応性イオンエッチング(RIE)により素子間分離を行い、真空蒸着法により、n<sup>+</sup>-Ga<sub>0.85</sub>Nコンタクト層15上のソース領域及びドレイン領域にオーム性電極Ti/Al/Auを形成し、その後、N<sub>2</sub>中で900℃、30秒の条件にてアニールを行い、ソース電極16及びドレイン電極17とする。次いで、真空蒸着法により、アンダーブレイク層14上にショットキー性電極Al/Pt/Auを形成し、ゲート電極18とする。

【0008】【発明が解決しようとする課題】ところで、上述したMESFETでは、ゲート領域にアンダーブレイク層14を形成しているために、ソース電極4とゲート電極6との間及びドレイン電極5とゲート電極6との間の寄生抵抗が大きくなってしまいうという問題点があった。また、オーム性電極にTi/Auを用いているために、ソース電極4及びドレイン電極5における接触抵抗が大きくなってしまい、相互コンダクタンスが低下したり、発生した熱によりトランジスタ特性が劣化する等の問題点があった。

【0009】また、上述したHFEETでは、オーム性電極にTi/Al/Auを用いていることから、ソース電極16及びドレイン電極17の接触抵抗を低減することができるものの、製造工程が複雑になるために製造コストが高くなってしまいうという問題点があった。また、n<sup>+</sup>-Ga<sub>0.85</sub>Nチャネル層13の厚みは、成膜時の厚みで決まってしまう、後工程でこの厚みを変えることはできない。したがって、このn<sup>+</sup>-Ga<sub>0.85</sub>Nコンタクト層15の厚みを所望の厚みに制御することが困難であり、HFEETとしての特性が十分に改善されていない等の問題点があった。

【0010】また、FETには、しきい値電圧の違いによりノーマリオン型(しきい値電圧が負)とノーマリオフ型(しきい値電圧が正)の2種類があるが、従来の製造方法では、ノーマリオン型とノーマリオフ型の両方を同一基板上に形成することは不可能である。

【0011】本発明は、上記の事情に鑑みてなされたものであって、ソース電極-ゲート電極間及びドレイン電極-ゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗を低減することができ、その結果、電界効果トランジスタとしての特性及び信頼性を向上させることができ、さらに、しきい値電圧の異なるノーマリオン型とノーマリオフ型を同一基板上に形成す



ることができる電界効果トランジスタとそれを備えた半導体装置及びその製造方法を提供することを目的とする。

#### 【0012】

【課題を解決するための手段】上記課題を解決するために、本発明は次の様な電界効果トランジスタとそれを備えた半導体装置及びその製造方法を提供した。すなわち、請求項1記載の電界効果トランジスタは、基板上に窒化ガリウム系の化合物半導体からなるチャネル層を備え、該チャネル層上にソース電極、ドレイン電極及びゲート電極を備えてなる電界効果トランジスタにおいて、前記チャネル層上に、該チャネル層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成してなることを特徴としている。

【0013】請求項2記載の電界効果トランジスタは、請求項1記載の電界効果トランジスタにおいて、前記コンタクト層が選択除去されて前記チャネル層のゲート領域が露出され、このゲート領域にゲート電極が形成されていることを特徴としている。

【0014】請求項3記載の電界効果トランジスタは、請求項2記載の電界効果トランジスタにおいて、前記チャネル層の膜厚を制御することにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとしたことを特徴としている。

【0015】請求項4記載の電界効果トランジスタは、基板上に窒化ガリウム系の化合物半導体からなるアンドープ層及び電子供給層を備え、前記アンドープ層内に二次元電子ガス層を形成するとともに、前記電子供給層上にソース電極、ドレイン電極及びゲート電極を備えてなる電界効果トランジスタにおいて、前記電子供給層上に、該電子供給層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成してなることを特徴としている。

【0016】請求項5記載の電界効果トランジスタは、請求項4記載の電界効果トランジスタにおいて、前記コンタクト層が選択除去されて前記電子供給層のゲート領域が露出され、このゲート領域にゲート電極が形成されていることを特徴としている。

【0017】請求項6記載の電界効果トランジスタは、請求項5記載の電界効果トランジスタにおいて、前記電子供給層の膜厚を制御することにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとしたことを特徴としている。

【0018】請求項7記載の電界効果トランジスタは、基板上に窒化ガリウム系の化合物半導体からなる電子供給層及びアンドープ層を備え、内部に二次元電子ガス層を形成した該アンドープ層上にソース電極、ドレイン電極及びゲート電極を備えてなる電界効果トランジスタに

おいて、前記アンドープ層上に、該アンドープ層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成してなることを特徴としている。

【0019】請求項8記載の電界効果トランジスタは、請求項7記載の電界効果トランジスタにおいて、前記コンタクト層が選択除去されて前記アンドープ層のゲート領域が露出され、このゲート領域にゲート電極が形成されていることを特徴としている。

【0020】請求項9記載の電界効果トランジスタは、請求項8記載の電界効果トランジスタにおいて、前記アンドープ層の膜厚を制御することにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとしたことを特徴としている。

【0021】請求項10記載の半導体装置は、基板上に、請求項1ないし9のいずれか1項記載の電界効果トランジスタを複数個備え、各電界効果トランジスタは、前記コンタクト層の下に連続して形成されたチャネル層、電子供給層またはアンドープ層の膜厚が制御されることにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとされていることを特徴としている。

【0022】請求項11記載の電界効果トランジスタの製造方法は、基板上に、窒化ガリウム系の化合物半導体のチャネル層、電子供給層、アンドープ層のいずれか1種からなる半導体層を備え、該半導体層上にソース電極、ドレイン電極及びゲート電極を備えてなる電界効果トランジスタの製造方法において、前記半導体層の上に、該半導体層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して成長させることを特徴としている。

【0023】請求項12記載の電界効果トランジスタの製造方法は、請求項11記載の電界効果トランジスタの製造方法において、前記コンタクト層のゲート領域を選択除去して前記半導体層のゲート領域を露出させ、次いで、該ゲート領域を膜厚方向に部分的に除去して所望の膜厚とし、このゲート領域にゲート電極を形成することにより、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとすることを特徴としている。

【0024】請求項13記載の電界効果トランジスタの製造方法は、請求項12記載の電界効果トランジスタの製造方法において、前記半導体層のゲート領域を膜厚方向に部分的に除去し、その後前記コンタクト層上に形成されたソース電極とドレイン電極との間の電流-電圧特性を測定する、という操作を繰り返し、前記半導体層の膜厚を所望の膜厚に制御することの特徴としている。

【0025】本発明の請求項1記載の電界効果トランジスタでは、チャネル層上に、該チャネル層より不純物濃

度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成したことにより、チャネル層と各電極との間にチャネル層より低抵抗のコンタクト層を介在させることで、ソース電極-ゲート電極間及びドレイン電極-ゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗が低減する。これにより、金属-半導体電界効果トランジスタ(MESFET)としての特性が向上する。

【0026】請求項4記載の電界効果トランジスタでは、電子供給層上に、該電子供給層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成したことにより、電子供給層と各電極との間に電子供給層より低抵抗のコンタクト層を介在させることで、ソース電極-ゲート電極間及びドレイン電極-ゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗が低減する。これにより、順構造高電子移動度トランジスタ(順HEMT)としての特性及び信頼性が向上する。

【0027】請求項7記載の電界効果トランジスタでは、アンドープ層上に、該アンドープ層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成したことにより、アンドープ層と各電極との間にアンドープ層より低抵抗のコンタクト層を介在させることで、ソース電極-ゲート電極間及びドレイン電極-ゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗が低減する。これにより、逆構造高電子移動度トランジスタ(逆HEMT)としての特性及び信頼性が向上する。

【0028】請求項10記載の半導体装置では、基板上に形成された各電界効果トランジスタのコンタクト層の下に連続して形成されたチャネル層、電子供給層またはアンドープ層の膜厚を制御することにより、それぞれの電界効果トランジスタはしきい値電圧が負であるノーマリオン型またはしきい値電圧が正であるノーマリオフ型のいずれかとなる。これにより、同一基板上にノーマリオン型とノーマリオフ型の電界効果トランジスタを設けることが可能になり、半導体装置としての機能が大幅に拡大する。また、従来の製造工程を変更する必要がほとんど無いので、製造コストが増大する虞も無い。

【0029】請求項11記載の電界効果トランジスタの製造方法では、半導体層上に、該半導体層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して成長させるので、半導体層上に形成された該半導体層より低抵抗のコンタクト層により、ソース電極-ゲート電極間及びドレイン電極-ゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗を低減することが可能になる。これにより、特性・信頼性の向上した電界効果トランジスタが得られる。

【0030】請求項12記載の電界効果トランジスタの

製造方法では、コンタクト層のゲート領域を選択除去して半導体層のゲート領域を露出させ、次いで、該ゲート領域を膜厚方向に部分的に除去して所望の膜厚とし、このゲート領域にゲート電極を形成することにより、ノーマリオン型とノーマリオフ型の電界効果トランジスタを同一基板上に形成することが可能になる。

【0031】請求項13記載の電界効果トランジスタの製造方法では、半導体層のゲート領域を膜厚方向に部分的に除去し、その後コンタクト層上に形成されたソース電極とドレイン電極との間の電流-電圧特性を測定する、という操作を繰り返すことにより、前記半導体層のゲート領域の膜厚を高精度で制御することが可能になり、その結果、得られた電界効果トランジスタの特性・信頼性が大幅に向上する。

【0032】

【発明の実施の形態】本発明の電界効果トランジスタとそれを備えた半導体装置及びその製造方法の各実施形態について、図面に基づき説明する。

【第1の実施形態】図1は本発明の第1の実施形態のGaN系化合物半導体を用いたMESFETを示す断面図である。このMESFETは、ノーマリオン型のもので、サファイア基板1の(0001)面上に、膜厚が30nmの低温GaNバッファ層21、膜厚が2.4μmのアンドープGaN層22、膜厚が0.2μmで不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ のSiドーブn-GaNチャネル層23、膜厚が20nmで不純物濃度がn-GaNチャネル層23より高い $2 \times 10^{18} \text{ cm}^{-3}$ のSiドーブn<sup>+</sup>-GaNコンタクト層24が順次積層されている。

【0033】このn<sup>+</sup>-GaNコンタクト層24上にはオーム性電極のソース電極25及びドレイン電極26が形成されている。また、ゲート領域直下のn<sup>+</sup>-GaNコンタクト層24が除去されてn-GaNチャネル層23のゲート領域が露出され、このゲート領域にはショットキー電極のゲート電極27が形成されている。オーム性電極としては、Tiを25nm、Alを150nm順次積層したTi/Alが好適に用いられる。ショットキー電極としては、Ptを10nm、Tiを40nm、Auを100nm順次積層したPt/Ti/Auが好適に用いられる。

【0034】次に、このMESFETの製造方法について説明する。MOCVDを用いて、サファイア基板1の(0001)面上に、550℃の成長温度で低温GaNバッファ層21を成長させる。次いで、この低温GaNバッファ層21上に、1080℃の成長温度でアンドープGaN層22、n-GaNチャネル層23、n<sup>+</sup>-GaNコンタクト層24を順次成長させる。次いで、このn<sup>+</sup>-GaNコンタクト層24上にソース電極25及びドレイン電極26を形成し、ゲート領域直下のn<sup>+</sup>-GaNコンタクト層24をエッチングしてn-GaNチャネル層23のゲート領域を露出させ、このゲート領域に

ゲート電極27を形成し、MESFETとする。

【0035】本実施形態のMESFETによれば、 $n$ -GaNチャネル層23上に、不純物濃度が $n$ -GaNチャネル層23より高い $n^+$ -GaNコンタクト層24を形成したので、ソース電極25-ゲート電極27間及びドレイン電極26-ゲート電極27間の寄生抵抗、及びソース電極25及びドレイン電極26における接触抵抗を低減することができ、MESFETとしての特性及び信頼性を向上させることができる。

【0036】また、本実施形態のMESFETの製造方法によれば、 $n$ -GaNチャネル層23上に、不純物濃度が $n$ -GaNチャネル層23より高い $n^+$ -GaNコンタクト層24を連続して形成するので、特性及び信頼性に優れたMESFETを作製することができる。また、従来の製造工程を殆ど変更することなく用いることができるので、製造工程が複雑になる虞がなく、製造コストが高くなってしまいうことも無い。なお、本実施形態では、ノーマリオン型のMESFETとしたが、 $n$ -GaNチャネル層23のゲート領域の膜厚を変えることにより、ノーマリオフ型のMESFETとすることもできる。

【0037】〔第2の実施形態〕図2は本発明の第2の実施形態のGa<sub>1-x</sub>N系化合物半導体を用いた順HEMTを示す断面図であり、二次元電子ガスの濃度を制御するためのゲート電極をAlGa<sub>1-x</sub>N/GaNヘテロ接合のAlGa<sub>1-x</sub>N側に形成した構造である。この順HEMTは、ノーマリオン型のもので、サファイア基板1の(0001)面上に、膜厚が30nmの低温Ga<sub>1-x</sub>Nバッファ層21、膜厚が2.4μmのアンダーブGaN層22、膜厚が50nmで不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のSiドープ $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31 ( $0 \leq x \leq 1$ )、膜厚が20nmで不純物濃度が $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31より高い $5 \times 10^{18} \text{ cm}^{-3}$ でありかつAl組成比が $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31より小さいSiドープ $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32 ( $0 \leq y \leq 1, y \leq x$ )が順次積層されている。なお、33はアンダーブGaN層22中に形成される二次元電子ガス層である。

【0038】この $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32上にはソース電極25及びドレイン電極26が形成され、ゲート領域直下の $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32が除去されて $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31のゲート領域が露出され、このゲート領域にはゲート電極27が形成されている。ソース電極25、ドレイン電極26及びゲート電極27それぞれの組成は、上述した第1の実施形態の組成と全く同様である。

【0039】次に、この順HEMTの製造方法について説明する。MOCVDを用いて、サファイア基板1の(0001)面上に、550℃の成長温度で低温Ga<sub>1-x</sub>Nバッファ層21を成長させる。次いで、この低温Ga<sub>1-x</sub>N

バッファ層21上に、1080℃の成長温度でアンダーブGaN層22、 $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31、 $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32を順次成長させる。次いで、この $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32上にソース電極25及びドレイン電極26を形成し、ゲート領域直下の $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32をエッチングして $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31のゲート領域を露出させ、このゲート領域にゲート電極27を形成し、順HEMTとする。

【0040】本実施形態の順HEMTによれば、 $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31上に、不純物濃度が $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31より高い $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32を形成したので、ソース電極-ゲート電極間及びドレイン電極-ゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗を低減することができ、順HEMTとしての特性及び信頼性を向上させることができる。

【0041】また、本実施形態の順HEMTの製造方法によれば、 $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31上に、不純物濃度が $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31より高い $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32を連続して形成するので、特性及び信頼性に優れた順HEMTを作製することができる。また、従来の製造工程を殆ど変更することなく用いることができるので、製造工程が複雑になる虞がなく、製造コストが高くなってしまいうことも無い。なお、本実施形態では、ノーマリオン型の順HEMTとしたが、 $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31のゲート領域の膜厚を変えることにより、ノーマリオフ型の順HEMTとすることもできる。

【0042】〔第3の実施形態〕図3は本発明の第3の実施形態のGa<sub>1-x</sub>N系化合物半導体を用いた逆HEMTを示す断面図であり、二次元電子ガスの濃度を制御するためのゲート電極をAlGa<sub>1-x</sub>N/GaNヘテロ接合のGa<sub>1-x</sub>N側に形成した構造である。この逆HEMTは、ノーマリオン型のもので、サファイア基板1の(0001)面上に、膜厚が30nmの低温Ga<sub>1-x</sub>Nバッファ層21、膜厚が50nmで不純物濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のSiドープ $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31 ( $0 \leq x \leq 1$ )、膜厚が50nmのアンダーブGaN層41、膜厚が20nmで不純物濃度がアンダーブGaN層41より高い $2 \times 10^{18} \text{ cm}^{-3}$ のSiドープ $n^+$ -Ga<sub>1-x</sub>Nコンタクト層42が順次積層されている。なお、43はアンダーブGaN層41中に形成される二次元電子ガス層である。

【0043】この $n^+$ -Ga<sub>1-x</sub>Nコンタクト層42上にはソース電極25及びドレイン電極26が形成され、ゲート領域直下の $n^+$ -Ga<sub>1-x</sub>Nコンタクト層42が除去されてアンダーブGaN層41のゲート領域が露出され、このゲート領域にはゲート電極27が形成されている。ソース電極25、ドレイン電極26及びゲート電極27そ



それぞれの組成は、上述した第1の実施形態の組成と全く同様である。

【0044】次に、この逆HEMTの製造方法について説明する。MOCVDを用いて、サファイア基板1の(0001)面上に、550℃の成長温度で低温GaNバッファ層21を成長させる。次いで、この低温GaNバッファ層21上に、1080℃の成長温度で $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 電子供給層31、アンドープGaN層41、 $n^+\text{-GaN}$ コンタクト層42を順次成長させる。次いで、この $n^+\text{-GaN}$ コンタクト層42上にソース電極25及びドレイン電極26を形成し、ゲート領域直下の $n^+\text{-GaN}$ コンタクト層42をエッチングしてアンドープGaN層41のゲート領域を露出させ、このゲート領域にゲート電極27を形成し、逆HEMTとする。

【0045】本実施形態においても、第2の実施形態の順HEMTと同様に、ソース電極25-ゲート電極27間及びドレイン電極26-ゲート電極27間の寄生抵抗、及びソース電極25及びドレイン電極26における接触抵抗を低減することができ、逆HEMTとしての特性及び信頼性を向上させることができる。また、従来の製造工程を殆ど変更することなく用いることができるので、製造工程が複雑になる虞が無く、製造コストが高くなってしまいうことも無い。

【0046】[第4の実施形態]図4は本発明の第4の実施形態のGaN系化合物半導体を用いたMESFETが複数個形成された半導体デバイス(半導体装置)を示す断面図であり、本実施形態のMESFETが上述した第1の実施形態のMESFETと異なる点は、サファイア基板1上に複数個(図4では2個)のノーマリオン型MESFET51、52を形成し、これらMESFET51、52が形成される部分以外を選択的にアンドープGaN層22の途中までエッチング53することにより素子間分離を行った点である。ソース電極25、ドレイン電極26及びゲート電極27の構造及び組成は、上述した第1の実施形態と全く同様である。なお、54は $\text{SiO}_2$ 絶縁膜である。

【0047】次に、この半導体デバイスの製造方法について図4及び図5に基づき説明する。第1の実施形態のMESFETと同様に、サファイア基板1上に、低温GaNバッファ層21～ $n^+\text{-GaN}$ コンタクト層24を順次成長させた後に、 $n^+\text{-GaN}$ コンタクト層24の全面に膜厚が約100nmの $\text{SiO}_2$ 絶縁膜54を形成する(図5(a))。次いで、通常のホトリソグラフィと三塩化ホウ素( $\text{BCl}_3$ )を用いた反応性イオンエッチング(RIE)(圧力:3Pa)により、FETが形成される部分以外を選択的にアンドープGaN層22の途中までエッチング53し、素子間分離を行う(図5(b))。

【0048】次いで、 $n^+\text{-GaN}$ コンタクト層24上にソース電極25及びドレイン電極26を形成する。こ

こでは、ホトリソグラフィにより、全面に塗布したホトレジストを露光して所定のパターンとし、このパターンをマスクとしてフッ酸系のウエットエッチングにより $\text{SiO}_2$ 絶縁膜54を選択的に完全に除去する。次いで、電子ビームを用いた真空蒸着法(真空度:  $1 \times 10^{-6}$  Torr以下)により $n^+\text{-GaN}$ コンタクト層24の上にオーム性電極Ti/Al(25nm/150nm)を蒸着・リフトオフし、 $\text{N}_2$ 雰囲気中で900℃、30秒間アニールし、ソース電極25及びドレイン電極26を形成する(図5(c))。

【0049】次いで、 $n\text{-GaN}$ チャネル層23の上にゲート電極27を形成する。ここでは、ホトリソグラフィにより、再度全面に塗布されたホトレジストを露光して所定のパターンを形成し、このパターンをマスクとしてフッ酸系のウエットエッチングにより $\text{SiO}_2$ 絶縁膜54を選択的に完全に除去する。次いで、三塩化ホウ素( $\text{BCl}_3$ )を用いたRIE(圧力:3Pa)によりゲート領域直下の $n^+\text{-GaN}$ コンタクト層24を除去して $n\text{-GaN}$ チャネル層23のゲート領域を露出させ、電子ビームを用いた真空蒸着法(真空度:  $1 \times 10^{-6}$  Torr以下)により該ゲート領域上にショットキー電極Pt/Ti/Au(10nm/40nm/100nm)を蒸着・リフトオフし、ゲート電極27を形成する(図4)。

【0050】本実施形態においても、第1の実施形態のMESFETと同様に、ソース電極25-ゲート電極27間及びドレイン電極26-ゲート電極27間の寄生抵抗、及びソース電極25及びドレイン電極26における接触抵抗を低減することができ、MESFET51、52としての特性及び信頼性を向上させることができる。したがって、MESFET51、52の特性及び信頼性が優れた半導体デバイスを提供することができる。

【0051】しかも、サファイア基板1上にMESFET51、52を形成し、アンドープGaN層22の途中までエッチング53することによりMESFET51、52各々を素子間分離したので、同一のサファイア基板1上にノーマリオン型のMESFET51、52を形成することができ、半導体デバイスとしての機能を大幅に拡大することができる。

【0052】また、この半導体デバイスの製造方法は、従来の製造工程を変更する必要がほとんど無いので、製造コストが増大する虞も無い。なお、本実施形態では、ノーマリオン型のMESFET51、52としたが、 $n\text{-GaN}$ チャネル層23のゲート領域の膜厚を変えることにより、ノーマリオフ型のMESFETとすることもできる。

【0053】[第5の実施形態]図6は本発明の第5の実施形態のGaN系化合物半導体を用いたMESFETが複数個形成された半導体デバイス(半導体装置)を示す断面図であり、本実施形態のMESFETが上述した



第4の実施形態のMESFETと異なる点は、第4の実施形態のMESFETでは、同一のサファイア基板1上に複数のノーマリオン型のMESFET51、52を形成したのに対し、本実施形態のMESFETでは、ノーマリオン型のMESFET51とノーマリオフ型のMESFET61を同一のサファイア基板1上に形成した点である。

【0054】次に、この半導体デバイスの製造方法について図6～図10に基づき説明する。まず、図7(a)に示すように、第1の実施形態のMESFETと同様に、サファイア基板1上に、低温Ga<sub>0.9</sub>N<sub>0.1</sub>バッファ層21～n<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層24を順次成長させた後に、n<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層24の全面に膜厚が約100nmのSiO<sub>2</sub>絶縁膜54を形成する。次いで、ホトリソグラフィと三塩化ホウ素(BCl<sub>3</sub>)を用いた反応性イオンエッチング(RIE)(圧力:3Pa)により、FETが形成される部分以外を選択的にアンドープGa<sub>0.9</sub>N層22の途中までエッチング53し、素子間分離を行う。

【0055】次いで、n<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層24上にソース電極25及びドレイン電極26を形成する。通常のホトリソグラフィにより、全面に塗布されたホトレジストを露光して所定のパターンとし、このパターンをマスクとしてフッ酸系のウェットエッチングによりSiO<sub>2</sub>絶縁膜54を選択的に完全に除去する。次いで、電子ビームを用いた真空蒸着法(真空度:1×10<sup>-6</sup>Torr以下)によりn<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層24の上にオーミック電極Ti/Al(25nm/150nm)を蒸着・リフトオフし、N<sub>2</sub>雰囲気中で900℃、30秒間アニールし、ソース電極25及びドレイン電極26を形成する。

【0056】次いで、図7(a)中左側のMESFETのn-GaNチャネル層23の上にゲート電極27を形成し、ノーマリオン型MESFET51とする。ホトリソグラフィにより、全面に塗布されたホトレジスト62を露光して所定のパターンを形成し、このパターンをマスクとしてフッ酸系のウェットエッチングによりSiO<sub>2</sub>絶縁膜54を選択的に完全に除去し、さらに三塩化ホウ素(BCl<sub>3</sub>)を用いたRIE(圧力:3Pa)によりゲート領域直下のn<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層24を除去する。

【0057】次いで、(1)RIEを用いてゲート領域直下のn-GaNチャネル層23をその膜厚方向にエッチングする、(2)ソース電極25とドレイン電極26との間の電流-電圧特性を測定する、という操作を繰り返す、n-GaNチャネル層23を所望の厚みまでエッチングする。図8は、このノーマリオン型MESFETのソース電極25とドレイン電極26との間の電流-電圧特性を示す特性図であり、ソース・ドレイン電流が正の値(しきい値電圧は負の値)を有し、かつ飽和特性を

示している。

【0058】ソース電極25とドレイン電極26との間の電流-電圧の測定は、図9に示すように、ホトレジスト62の上からプローブ63、64を任意の1つのノーマリオン型MESFETのソース電極25及びドレイン電極26それぞれに接触させて行う。なお、図9では、ノーマリオン型MESFETの測定法について説明しているが、この測定法はノーマリオフ型MESFETに対しても全く同様に適用することができる。次いで、電子ビームを用いた真空蒸着法(真空度:1×10<sup>-6</sup>Torr以下)により、ショットキー電極Pt/Ti/Au(10nm/40nm/100nm)をn-GaNチャネル層23の上に蒸着・リフトオフし、ゲート電極27を形成する。その後、再度全面にホトレジスト65を塗布する。

【0059】次いで、図7(b)中右側のMESFETのn-GaNチャネル層23の上にゲート電極27を形成し、ノーマリオフ型MESFET61とする。ホトリソグラフィにより、全面に塗布されたホトレジスト65を露光して所定のパターンを形成し、このパターンをマスクとしてフッ酸系のウェットエッチングによりSiO<sub>2</sub>絶縁膜54を選択的に完全に除去し、さらに三塩化ホウ素(BCl<sub>3</sub>)を用いたRIE(圧力:3Pa)によりゲート領域直下のn<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層24を除去する。

【0060】次いで、(1)RIEを用いてゲート領域直下のn-GaNチャネル層23をその膜厚方向にエッチングし、(2)ソース電極25とドレイン電極26との間の電流-電圧特性を測定する、という操作を繰り返す、n-GaNチャネル層23を所望の厚みまでエッチングする。図10は、このノーマリオフ型MESFETのソース電極25とドレイン電極26との間の電流-電圧特性を示す特性図であり、ソース・ドレイン電流が零付近の値(しきい値電圧は正の値)を有し、かつ飽和特性を示している。

【0061】ソース電極25とドレイン電極26との間の電流-電圧の測定は、ノーマリオン型MESFET51と同様に、ホトレジスト62の上からプローブ63、64を任意の1つのノーマリオフ型MESFETのソース電極25及びドレイン電極26それぞれに接触させて行う。次いで、電子ビームを用いた真空蒸着法(真空度:1×10<sup>-6</sup>Torr以下)により、ショットキー電極Pt/Ti/Au(10nm/40nm/100nm)をn-GaNチャネル層23の上に蒸着・リフトオフし、ゲート電極27を形成する。

【0062】このように、ノーマリオン型及びノーマリオフ型のMESFETのしきい値電圧は、RIEを用いたゲート領域直下のn-GaNチャネル層23のエッチング量、つまりソース電極25とドレイン電極26との間の電流を測定することにより、調整することができ

る。

【0063】本実施形態においても、第1及び第4の実施形態のMESFETと同様に、MESFETとしての特性及び信頼性を向上させることができる。さらに、ゲート領域直下の $n$ -Ga<sub>1-x</sub>Nチャンネル層23をその膜厚方向に所望の厚みまでエッチングし、厚みが制御された $n$ -Ga<sub>1-x</sub>Nチャンネル層23上にゲート電極27を形成したので、ノーマリオン型MESFET51とノーマリオフ型MESFET61を同一のサファイア基板1上に形成することができ、半導体デバイスの機能を大幅に拡大することができる。

【0064】【第6の実施形態】図11は本発明の第6の実施形態のGa<sub>1-x</sub>N系化合物半導体を用いた順HEMTが複数個形成された半導体デバイスを示す断面図であり、本実施形態の順HEMTが上述した第2の実施形態の順HEMTと異なる点は、サファイア基板1上に複数個（図11では2個）のノーマリオン型順HEMT71、72を形成し、これらノーマリオン型順HEMT71、72が形成される部分以外を選択的にアンドープGa<sub>1-x</sub>N層22の途中までエッチング53することにより素子間分離を行った点である。ソース電極25、ドレイン電極26及びゲート電極27の構造及び組成は、上述した第2の実施形態と全く同様である。

【0065】この順HEMTを作製するには、サファイア基板1上に、低温Ga<sub>1-x</sub>Nバッファ層21～ $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32を順次成長させた後に、 $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32の全面にSiO<sub>2</sub>絶縁膜54を形成し、RIEにより素子間分離を行い、 $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32上にソース電極25及びドレイン電極26を形成し、RIEによりゲート領域直下の $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32を除去して $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31のゲート領域を露出させ、このゲート領域の上にゲート電極27を形成する。

【0066】本実施形態の順HEMTにおいても、第2の実施形態の順HEMTと同様に、ソース電極25－ゲート電極27間及びドレイン電極26－ゲート電極27間の寄生抵抗、及びソース電極25及びドレイン電極26における接触抵抗を低減することができ、順HEMTとしての特性及び信頼性を向上させることができる。また、本実施形態の順HEMTの製造方法によれば、ゲート領域直下の $n^+$ -Al<sub>y</sub>Ga<sub>1-y</sub>Nコンタクト層32を除去して $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31のゲート領域を露出させ、このゲート領域の上にゲート電極27を形成するので、特性及び信頼性の向上した順HEMTを作製することができる。なお、本実施形態では、ノーマリオン型順HEMT71、72としたが、 $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31のゲート領域の膜厚を変えることにより、ノーマリオフ型の順HEMTとすることもできる。

【0067】【第7の実施形態】図12は本発明の第7の実施形態のGa<sub>1-x</sub>N系化合物半導体を用いた逆HEMTが複数個形成された半導体デバイスを示す断面図であり、本実施形態の逆HEMTが上述した第3の実施形態の逆HEMTと異なる点は、サファイア基板1上に複数個（図12では2個）のノーマリオン型逆HEMT81、82を形成し、これらノーマリオン型逆HEMT81、82が形成される部分以外を選択的にアンドープGa<sub>1-x</sub>N層22の途中までエッチング53することにより素子間分離を行った点である。ソース電極25、ドレイン電極26及びゲート電極27の構造及び組成は、上述した第3の実施形態と全く同様である。

【0068】このノーマリオン型逆HEMT81、82を作製するには、サファイア基板1上に、低温Ga<sub>1-x</sub>Nバッファ層21～ $n^+$ -Ga<sub>1-x</sub>Nコンタクト層42を順次成長させた後に、 $n^+$ -Ga<sub>1-x</sub>Nコンタクト層42の全面にSiO<sub>2</sub>絶縁膜54を形成し、RIEにより素子間分離を行い、 $n^+$ -Ga<sub>1-x</sub>Nコンタクト層42上にソース電極25及びドレイン電極26を形成し、RIEによりゲート領域直下の $n^+$ -Ga<sub>1-x</sub>Nコンタクト層42を除去してアンドープGa<sub>1-x</sub>N層41のゲート領域を露出させ、このゲート領域の上にゲート電極27を形成する。

【0069】本実施形態の逆HEMTにおいても、第3の実施形態の逆HEMTと同様に、ソース電極25－ゲート電極27間及びドレイン電極26－ゲート電極27間の寄生抵抗、及びソース電極25及びドレイン電極26における接触抵抗を低減することができ、逆HEMTとしての特性及び信頼性を向上させることができる。また、ゲート領域直下の $n^+$ -Ga<sub>1-x</sub>Nコンタクト層42を除去してアンドープGa<sub>1-x</sub>N層41のゲート領域を露出させ、このゲート領域の上にゲート電極27を形成するので、特性及び信頼性の向上した逆HEMTを作製することができる。なお、本実施形態では、ノーマリオン型逆HEMT81、82としたが、アンドープGa<sub>1-x</sub>N層41のゲート領域の膜厚を変えることにより、ノーマリオフ型の逆HEMTとすることもできる。

【0070】【第8の実施形態】本実施形態の半導体デバイスは、第6の実施形態の半導体デバイスにおいて、ゲート領域直下の $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31を所望の厚みにエッチングし、厚みが制御された $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31上にゲート電極27を形成し、順HEMTとしたものである。本実施形態の順HEMTでは、厚みが制御された $n$ -Al<sub>x</sub>Ga<sub>1-x</sub>N電子供給層31上にゲート電極27を形成したので、ノーマリオン型あるいはノーマリオフ型の順HEMTを同一サファイア基板1上に形成することができ、半導体デバイスの機能を大幅に拡大することができる。

【0071】【第9の実施形態】本実施形態の半導体デバイスは、第7の実施形態の半導体デバイスにおいて、ゲート領域直下のアンドープGa<sub>1-x</sub>N層41を所望の厚みに

にエッチングし、厚みが制御されたアンドープGaN層41上にゲート電極27を形成し、逆HEMTとしたものである。本実施形態の逆HEMTでは、厚みが制御されたアンドープGaN層41上にゲート電極27を形成したので、ノーマリオン型あるいはノーマリオフ型の逆HEMTを同一サファイア基板1上に形成することができる。半導体デバイスの機能を大幅に拡大することができる。

【0072】以上、本発明の実施形態について図面に基づき説明してきたが、具体的な構成は本実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で設計の変更等が可能である。例えば、第5の実施形態では、ノーマリオン型を形成した後に、ノーマリオフ型を形成する構成としたが、ノーマリオン型及びノーマリオフ型の形成順序は上記実施形態に限定されるものではなく、先にノーマリオフ型を形成し、後からノーマリオン型を形成する構成としてもかまわない。また、ソース電極25、ドレイン電極26及びゲート電極27の構造及び組成においても、上述した各実施形態に限定されず、適宜変更可能である。

【0073】

【発明の効果】以上説明した様に、本発明の請求項1記載の電界効果トランジスタによれば、チャネル層上に、該チャネル層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成したので、ソース電極ーゲート電極間及びドレイン電極ーゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗を低減することができ、電界効果トランジスタとしての特性を向上させることができる。

【0074】請求項4記載の電界効果トランジスタによれば、電子供給層上に、該電子供給層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成したので、ソース電極ーゲート電極間及びドレイン電極ーゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗を低減することができ、順構造高電子移動度トランジスタとしての特性を向上させることができる。

【0075】請求項7記載の電界効果トランジスタによれば、アンドープ層上に、該アンドープ層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して形成したので、ソース電極ーゲート電極間及びドレイン電極ーゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗を低減することができ、逆構造高電子移動度トランジスタとしての特性を向上させることができる。

【0076】請求項10記載の半導体装置によれば、基板上に形成された各電界効果トランジスタを、コンタクト層の下に連続して形成されたチャネル層、電子供給層またはアンドープ層の膜厚を制御することで、しきい値電圧が負であるノーマリオン型またはしきい値電圧が正

であるノーマリオフ型のいずれかとしたので、同一基板上にノーマリオン型とノーマリオフ型の電界効果トランジスタを形成することができ、半導体装置の機能を大幅に拡大することができる。また、従来の製造工程を殆ど変更することなく用いることができるので、製造工程が複雑になる虞が無く、製造コストが高くなってしまいうことも無い。

【0077】請求項11記載の電界効果トランジスタの製造方法によれば、窒化ガリウム系の化合物半導体のチャネル層、電子供給層、アンドープ層のいずれか1種からなる半導体層上に、該半導体層より不純物濃度の高い窒化ガリウム系の化合物半導体からなるコンタクト層を連続して成長させるので、ソース電極ーゲート電極間及びドレイン電極ーゲート電極間の寄生抵抗、及びソース電極及びドレイン電極における接触抵抗を低減させることができ、特性・信頼性の向上した電界効果トランジスタを作製することができる。

【0078】請求項12記載の電界効果トランジスタの製造方法によれば、コンタクト層のゲート領域を選択除去して半導体層のゲート領域を露出させ、次いで、該ゲート領域を上方から膜厚方向に除去して所望の膜厚とし、このゲート領域にゲート電極を形成するので、ノーマリオン型とノーマリオフ型の電界効果トランジスタを同一基板上に形成することができる。

【0079】請求項13記載の電界効果トランジスタの製造方法によれば、半導体層のゲート領域を膜厚方向に部分的に除去し、その後コンタクト層上に形成されたソース電極とドレイン電極との間の電流ー電圧特性を測定する、という操作を繰り返すので、前記半導体層のゲート領域の膜厚を高精度で制御することができ、特性・信頼性が大幅に向上した電界効果トランジスタを作製することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のMESFETを示す断面図である。

【図2】 本発明の第2の実施形態の順HEMTを示す断面図である。

【図3】 本発明の第3の実施形態の逆HEMTを示す断面図である。

【図4】 本発明の第4の実施形態の半導体デバイスを示す断面図である。

【図5】 本発明の第4の実施形態の半導体デバイスの製造方法を示す過程図である。

【図6】 本発明の第5の実施形態の半導体デバイスを示す断面図である。

【図7】 本発明の第5の実施形態の半導体デバイスの製造方法を示す過程図である。

【図8】 ノーマリオン型MESFETのソース電極とドレイン電極との間の電流ー電圧特性を示す特性図である。

【図9】 ノーマリオン型MESFETのソース電極とドレイン電極との間の電流-電圧特性の測定法を示す説明図である。

【図10】 ノーマリオフ型MESFETのソース電極とドレイン電極との間の電流-電圧特性を示す特性図である。

【図11】 本発明の第6の実施形態の半導体デバイスを示す断面図である。

【図12】 本発明の第7の実施形態の半導体デバイスを示す断面図である。

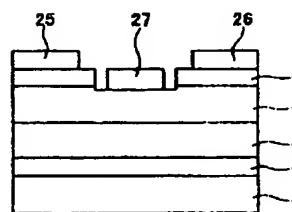
【図13】 従来のGaN系化合物半導体を用いたMESFETを示す断面図である。

【図14】 従来のGaN系化合物半導体を用いた絶縁ゲート型HFETを示す断面図である。

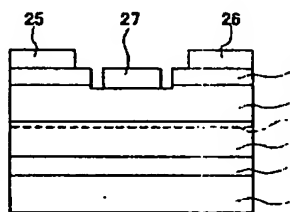
【符号の説明】

- |    |   |       |   |
|----|---|-------|---|
| 1  | サファイア基板                                       | 15    | n <sup>+</sup> -GaNコンタクト層                                 |
| 2  | AlNバッファ層                                      | 16    | ソース電極   |
| 3  | n-GaNチャネル層                                    | 17    | ドレイン電極  |
| 4  | ソース電極   | 18    | ゲート電極   |
| 5  | ドレイン電極  | 21    | 低温GaNバッファ層  |
| 6  | ゲート電極   | 22    | アンドープGaN層   |
| 11 | GaNバッファ層                                      | 23    | n-GaNチャネル層  |
| 12 | アンドープAl <sub>0.15</sub> Ga <sub>0.85</sub> N層 | 24    | n <sup>+</sup> -GaNコンタクト層                                 |
| 13 | n <sup>+</sup> -GaNチャネル層                      | 25    | ソース電極   |
| 14 | アンドープAlN絶縁層                                   | 26    | ドレイン電極  |
|    |   | 27    | ゲート電極   |
|    |   | 31    | n-Al <sub>x</sub> Ga <sub>1-x</sub> N電子供給層                |
|    |   | 32    | n <sup>+</sup> -Al <sub>y</sub> Ga <sub>1-y</sub> Nコンタクト層 |
|    |   | 33    | 二次元電子ガス層  |
|    |   | 41    | アンドープGaN層   |
|    |   | 42    | n <sup>+</sup> -GaNコンタクト層                                 |
|    |   | 43    | 二次元電子ガス層  |
|    |   | 51、52 | ノーマリオン型のMESFET  |
|    |   | 53    | エッチング   |
|    |   | 54    | SiO <sub>2</sub> 絶縁膜                                      |
|    |   | 61    | ノーマリオフ型のMESFET  |
|    |   | 62、65 | ホトレジスト  |
|    |   | 63、64 | プローブ  |
|    |   | 71、72 | ノーマリオン型の順HEMT   |
|    |   | 81、82 | ノーマリオン型の逆HEMT   |

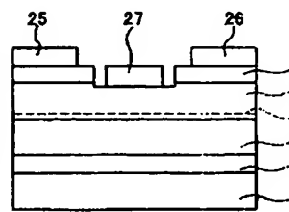
【図1】



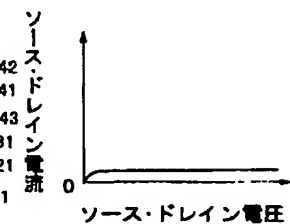
【図2】



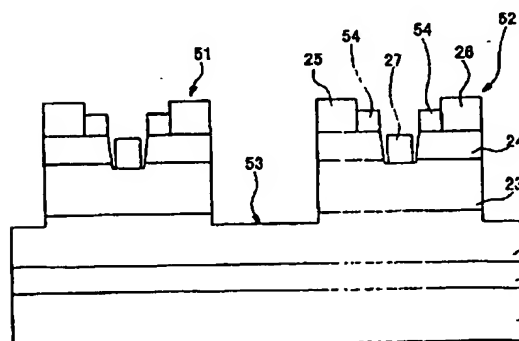
【図3】



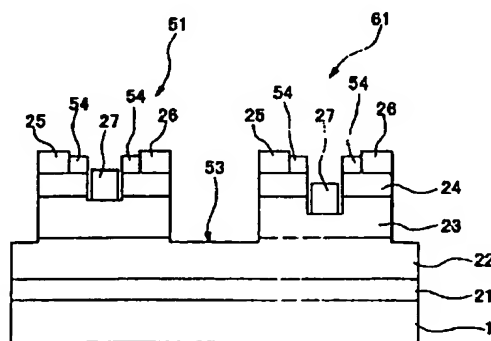
【図10】



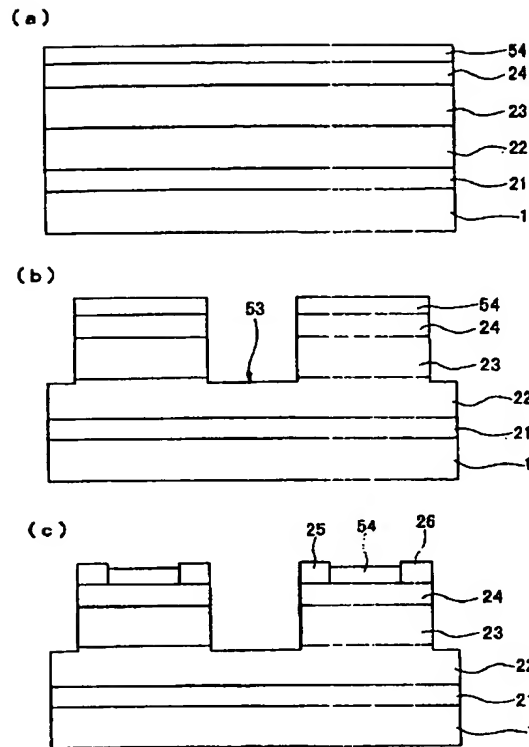
【図4】



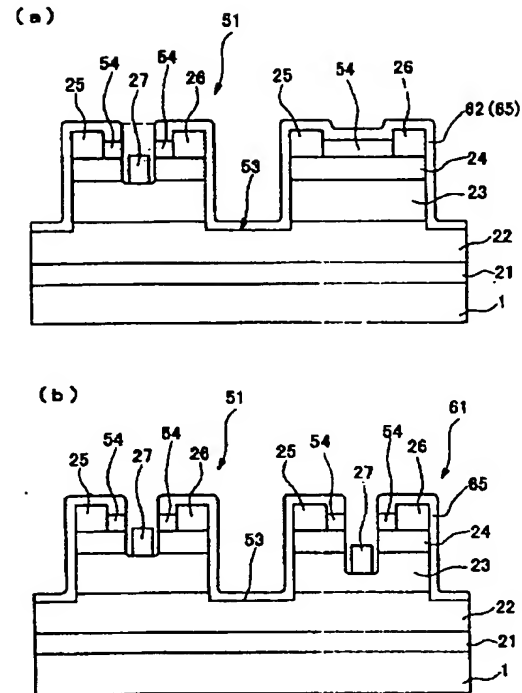
【図6】



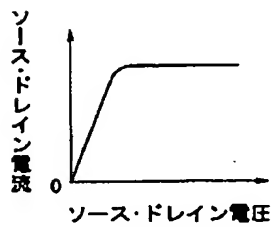
【図 5】



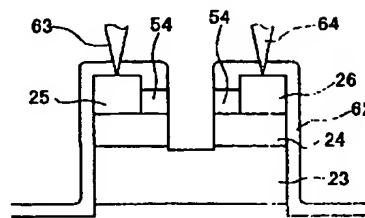
【図 7】



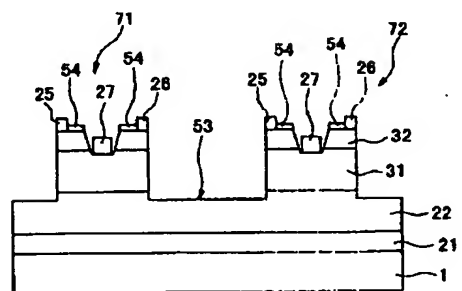
【図 8】



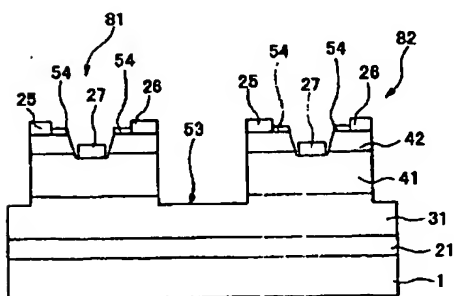
【図 9】



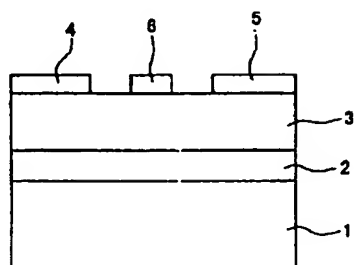
【図 11】



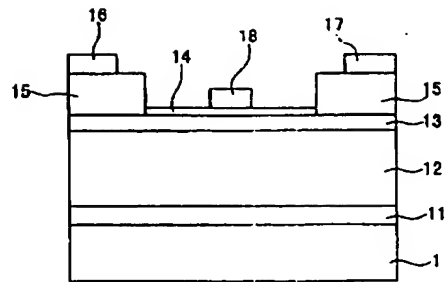
【図 12】



【図 13】



【 図 14 】



フロントページの続き

(72)発明者 石川 博康  
愛知県名古屋市昭和区御器所町 名古屋工  
業大学内  
(72)発明者 梅野 正義  
愛知県名古屋市昭和区御器所町 名古屋工  
業大学内  
(72)発明者 阿久津 仲男  
東京都港区西新橋1丁目16番7号 日本酸  
素株式会社内

(72)発明者 松本 功  
東京都港区西新橋1丁目16番7号 日本酸  
素株式会社内  
Fターム(参考) 5F004 BA04 DA11 DB03 DB19 EA10  
EA17 EB02 EB04 FA01  
5F102 FA03 FA09 GA02 GB01 GC01  
GD01 GJ10 GK04 GL04 GM04  
GN04 GQ01 GR01 GS02 GT03  
GV07 HC01 HC11 HC15 HC19

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**